

TP1: Simulation et logique combinatoire

Les objectifs de ce TP sont :

- La découverte d'un logiciel de simulation ;
- La simulation d'opérateurs logiques ;
- La vérification d'équations et de tables de vérité ;
- L'utilisation d'un analyseur logique.

1 Environnement logiciel

Avec l'explorateur Windows (raccourci : touche Windows + 'E'), créez sur votre disque réseau T : un dossier M1103, dans lequel vous créez un dossier TP1.

Vous utiliserez le logiciel ISIS version 7.8, dont l'icône de lancement est sur le bureau. Ce logiciel permet la simulation de circuits d'électronique numérique. Une fois lancé, vous disposez d'un "plan de travail", sur le lequel vous allez pouvoir placer et interconnecter des composants. Tout à gauche se trouve une barre d'outils permettant de sélectionner le mode courant. On zoome avec la molette de la souris.

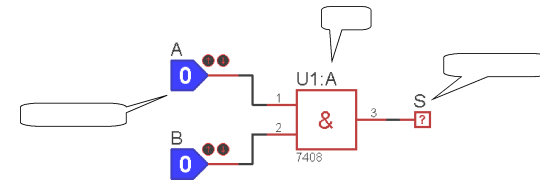
Sélectionner le mode "composant" : ceci ouvre une fenêtre "DEVICES". Cliquer sur le "P" : la fenêtre de sélection de composants s'ouvre. Sélectionner la bibliothèque "TTL 74 series", et aller y choisir les composants (voir schémas ci-contre, il faut prendre les "7400", "7402" et "7408", en version "IEC").

Pour les connecter, il suffit de positionner la souris sur une broche. Ceci sélectionne automatiquement l'outil "connexion", et on peut ensuite dessiner les interconnexions.

Pour fixer un niveau logique sur une entrée, il faut le composant "LOGIC STATE" dans la bibliothèque "Debugging Tools". Pour visualiser un niveau, c'est le composant "LOGIC PROBE". Une fois le schéma terminé, on lance la simulation avec le bouton "Jouer" dans la barre d'outil en bas de l'écran.

2 Montages à partir d'opérateurs seuls

Vous allez retrouver à l'aide du simulateur la table de vérité, l'équation de chaque opérateur logique de base.



Faire la saisie du schéma ci-dessus (chercher l'opérateur 7408 dans la liste). Lancer ensuite la simulation et vérifier que le résultat obtenu est conforme à celui attendu.

3 Montages à partir de plusieurs opérateurs logiques

	Table de vérité	Equation												
	<table border="1"> <tr><td>a</td><td>b</td><td>S</td></tr> <tr><td></td><td></td><td></td></tr> <tr><td></td><td></td><td></td></tr> <tr><td></td><td></td><td></td></tr> </table>	a	b	S										
a	b	S												
	<table border="1"> <tr><td>a</td><td>b</td><td>S</td></tr> <tr><td></td><td></td><td></td></tr> <tr><td></td><td></td><td></td></tr> <tr><td></td><td></td><td></td></tr> </table>	a	b	S										
a	b	S												
	<table border="1"> <tr><td>a</td><td>b</td><td>S</td></tr> <tr><td></td><td></td><td></td></tr> <tr><td></td><td></td><td></td></tr> <tr><td></td><td></td><td></td></tr> </table>	a	b	S										
a	b	S												

1. Dans chaque schéma ci-dessus, trouver l'équation de S à partir du schéma.

- Utiliser le simulateur pour compléter les tables de vérité de chacun des logigrammes ci-dessous (opérateurs : 7400 et 7402). En déduire l'équation logique simplifiée.
- En utilisant les règles de l'algèbre de Boole, redémontrer le résultat obtenu en 2).

4 Chronogrammes

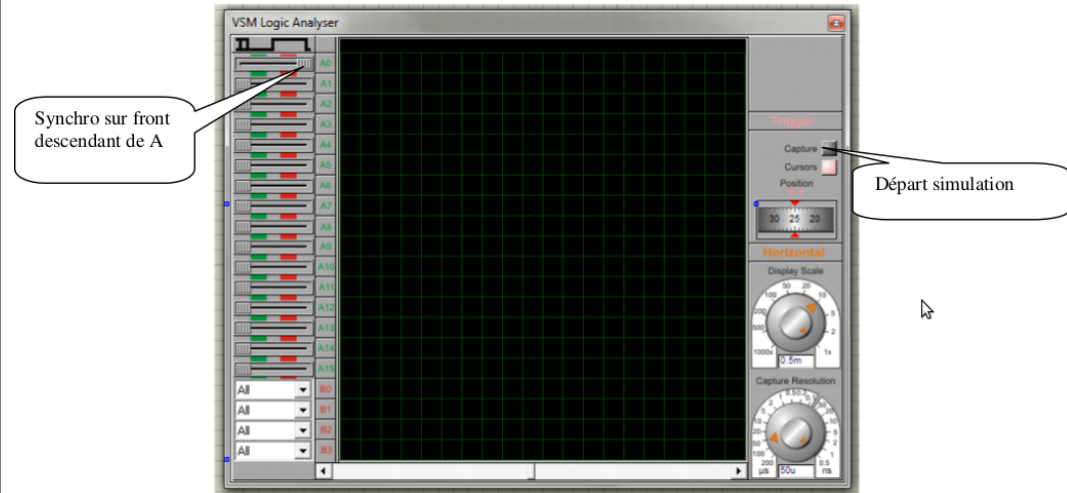
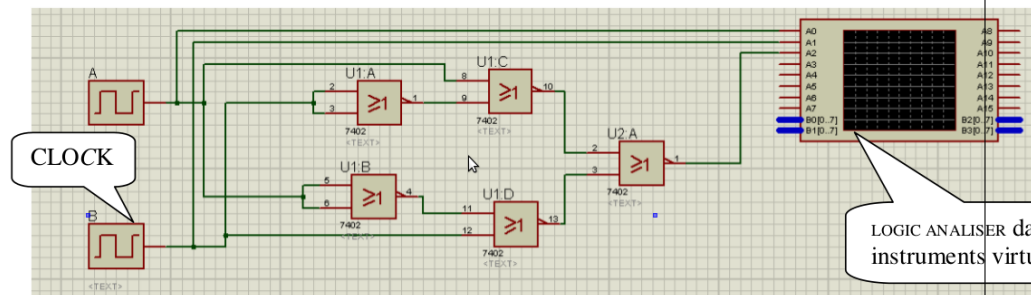
- Déterminer l'équation de la sortie de façon algébrique à partir du schéma ci-dessous :

S = _____

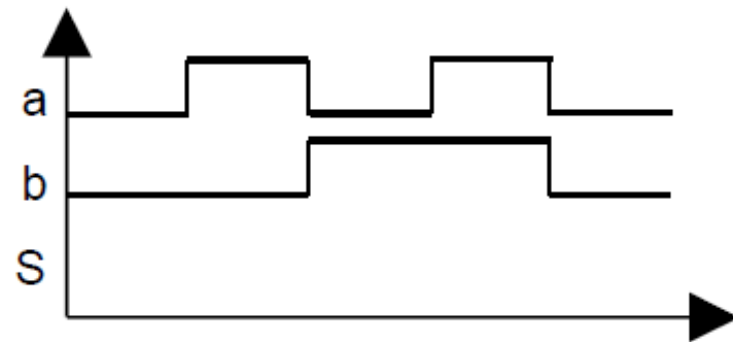
- En faire la saisie sur un nouveau document. Le composant CLOCK est dans la bibliothèque *Simulator Primitives*. L'analyseur logique est accessible à partir de l'outil "Mode instruments virtuels".

Note : après le lancement de la simulation, si vous n'avez pas l'affichage de l'analyseur, il faut l'afficher avec le menu "Mise au point", et activer (tout en bas) "VSM Logic Analyser".

Régler les fréquences des horloges : 100 Hz pour l'entrée A, 50 Hz pour l'entrée B (à fixer par double-clic sur la clock, puis *clock frequency*).



- En utilisant la simulation, compléter les chronogrammes ci-dessous. En déduire la table de vérité ainsi que l'équation de S simplifiée.

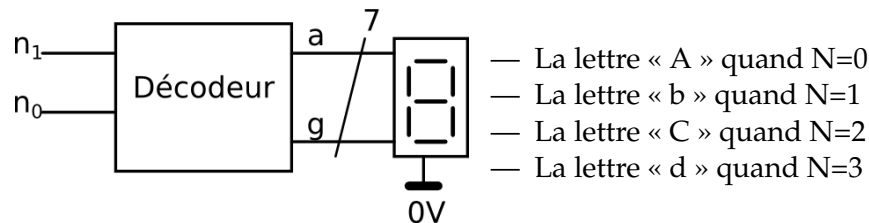


a	b	S

- En utilisant les règles de l'algèbre de Boole, simplifier l'équation obtenue en réponse à la question 1) et retrouvez le résultat de la question 3).
- Faites valider vos résultats.

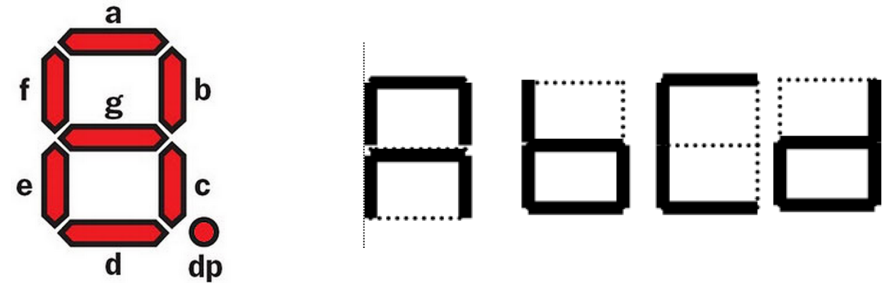
5 Décodeur n° 1

On souhaite réaliser un décodeur permettant d'afficher une lettre sur un afficheur 7 segments, à partir d'une valeur binaire sur 2 bits. On veut afficher :



Entrées : Nombre N= n1,n0, codé en binaire naturel.

Sortie : Variables binaires a à g commandant les segments « a » à « g » de l'afficheur. Un état logique 1 provoquera l'allumage du segment concerné. Le repérage des différents segments est donné ci-dessous.



- Compléter la table de vérité du dispositif

N	n ₁	n ₀	a	b	c	d	e	f	g
0	0	0							
1	0	1							
2	1	0							
3	1	1							

- Extraire de la table de vérité les équations des variables de sortie, puis les simplifier en utilisant les règles de l'algèbre de Boole.
- Etablir le logigramme complet du dispositif à partir de portes ET, OU, NON dans la famille 74LS à la norme IEC. Les entrées n₁ et n₀ seront fixées par deux composants « LOGICSTATE », l'afficheur 7 segments utilisé sera de type « 7SEG-COM-CATHODE ». Pour le EX-OR, prendre le 7486.
- Procéder à la validation de l'étude par simulation. Appeler le professeur pour validation quand votre projet est terminé.
- Refaire le même travail pour définir les 8 premières lettres de l'alphabet.